

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-040481
(43)Date of publication of application : 06.02.2002

(51)Int.CI. G02F 1/1368
G02F 1/1343
G09F 9/00
G09F 9/30
H01L 29/786

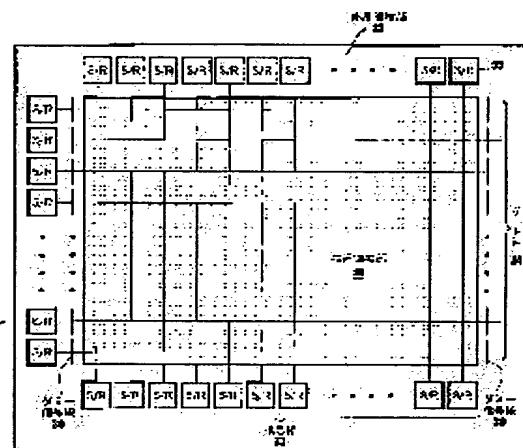
(21)Application number : 2000-222318 (71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>
(22)Date of filing : 24.07.2000 (72)Inventor : TAKASUGI CHIKATOMO
JIYORI HIDEO

(54) DISPLAY DEVICE AND ITS MANUFACTURING METHOD, AND WIRING BOARD

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain a liquid crystal display device which can prevent wires from short-circuiting to each other.

SOLUTION: A TFT(Thin Film Transistor) array substrate has a dummy signal line 36 as a short-circuit wire so as to prevent a short circuit due to electrostatic destruction to a gate line as a low-layer wire. The dummy signal line 36 is formed in the outer peripheral area 32 of the TFT array substrate. This dummy signal line 36 has a three-layered structure of a silicon lower layer, an ITO(Indium Tin Oxide) intermediate layer, and an aluminum(Al) upper layer from below. The silicon layer formed as one continuous wire as well as the Al layer are etched simultaneously when the Al layer is patterned, so that the silicon layer is electrically broken between gate lines. The dummy wire is broken after formed, so even if the dummy wire and ≥ 2 gate lines are short-circuited, there is no short circuit between the gate lines.



Best Available Copy

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-40481

(P2002-40481A)

(43)公開日 平成14年2月6日 (2002.2.6)

(51) Int.Cl. ⁷	識別記号	F I	マーク* (参考)
G 0 2 F	1/1368	G 0 2 F 1/1343	2 H 0 9 2
	1/1343	G 0 9 F 9/00	3 0 9 Z 5 C 0 9 4
G 0 9 F	9/00		3 3 8 5 F 1 1 0
	3 3 8		9/30 3 3 0 Z 5 G 4 3 5
	9/30	G 0 2 F 1/136	5 0 0
	3 3 0		

審査請求 未請求 請求項の数13 O L (全10頁) 最終頁に続く

(21)出願番号 特願2000-222318(P2000-222318)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州

アーモンク (番地なし)

(72)発明者 高杉 親知

神奈川県大和市下鶴間1623番地14 日本アイ・ビー・エム株式会社 大和事業所内

(74)代理人 100086243

弁理士 坂口 博 (外2名)

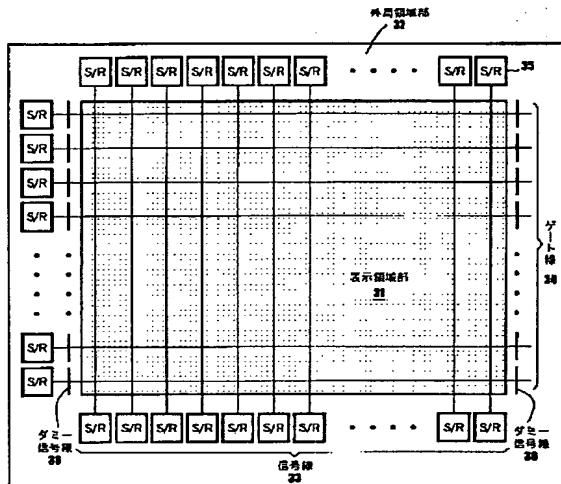
最終頁に続く

(54)【発明の名称】 表示装置、その製造方法、及び配線基板

(57)【要約】

【課題】 配線間の短絡を防止することができる、液晶表示装置を得る。

【解決手段】 TFT (Thin Film Transistor) アレイ基板は、上層配線である信号線33と、下層配線であるゲート線34との間の静電破壊による短絡を防止するために、短絡配線であるダミー信号線36を有する。ダミー信号線36は、TFTアレイ基板の外周領域32に形成される。このダミー信号線36は、下層から、シリコン下層、ITO (Indium Tin Oxide) 中間層、そして、アルミニウム (Al) 上層の3層構造を有している。シリコン層は、その形成時には1本の連続配線として形成されるが、Al層がパターン形成されるときにAl層と同時にエッチングされて、各ゲート線の間で電気的に断線される。ダミー配線が形成後に断線されるので、ダミー配線と2本以上のゲート線とが短絡した場合も、ゲート線間で短絡しない。



る、表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、表示装置、その製造方法、及び配線基板に関するものであり、特に、他の配線と短絡することにより、配線間の静電破壊による短絡を抑制する短絡配線を有する、表示装置、その製造方法、及び配線基板に関する。

【0002】

【従来の技術】パソコン・コンピュータ、その他各種モニタ用の画像表示装置として、液晶表示装置(LCD)の普及は目覚しいものがある。液晶表示装置は、一般に、駆動回路を備えた液晶表示パネルと、その背面に配置されたバックライトユニットを有する。表示パネルは、その透過光を制御することにより、画像表示を行う。表示パネルは、マトリックス状に配置された複数の副画素部から構成される表示領域部と、その外周に形成された外周領域部を有している。液晶表示装置の中で、各副画素部がTFT(Thin Film Transistor)やMIM(Metal Insulator Metal)等のスイッチング素子を有する、アクティブ・マトリックスLCDがある。

【0003】アクティブ・マトリックスLCDは、微妙な階調表示が可能であり、高コントラストであることから、高精細な表示装置、やカラーLCDに広く採用されている。カラーLCDは、通常、スイッチング素子や画素電極がアレー状に形成されたアレイ基板と、カラーフィルタを有するカラーフィルタ基板との間に、液晶を封入することによって、形成されている。カラーLCDにおいては、副画素部毎にRGBのカラーフィルタを有し、各副画素部からの光量を制御することによってカラー表示を行う。RGB3つの副画素部により、一つの画素部を形成する。尚、モノクロのLCDにおいては、各副画素部が画素部に相当する。

【0004】図1は、スイッチング素子としてTFTを有する副画素部の概略を示す構成図である。副画素部は、TFT基板側に形成されたもののみを示している。図1は、ボトムゲート型のTFTであり、半導体として、アモルファス・シリコン(a-Si)を用いている。この他に、半導体としてポリシリコンを用いたものや、トップゲート型のTFT等が存在する。ボトムゲートとは、TFTのゲートが、ドレイン/ソースよりも下層に配置されているTFTである。

【0005】図において、11はスイッチング素子としてのTFT、12はゲート電極、13はゲート絶縁層、14はアモルファス・シリコン(a-Si)層である。15はa-Si層と電極とのオーミック接触を改善するオーミック層、16はソース電極、17はドレイン電極、18は液晶に電界を加える画素電極である。オーミック層15は、ドナーとしてのリンやヒ素がドープされている。ゲート電極12はゲート線19を介して、Y軸側ドライバ

IC(不図示)に接続され、ソース電極16は信号線20を介してX軸側のドライバIC(不図示)に接続されている。尚、TFT11は交流駆動されるため、ソース電極16とドレイン電極17は時間的に逆になる。

【0006】動作を説明する。Y軸ドライバICより、ゲート線19を介して、各ゲート電極12に信号が送られる。この信号によって、TFT11のゲート電圧を操作し、TFT11のON/OFFを行う。又、X軸ドライバICより、信号線20を介してソース電極16へ信号が送られる。ソース電極16からドレイン電極17への信号の伝達の有無は、ゲート電極12によって制御される。ドレイン電極17への信号電圧の大きさは、X軸ドライバICからソース電極16へ信号電圧値を変化させることにより制御する。ドレイン電極17から信号電圧を送られた画素電極18は、対向基板に形成されている共通電極(不図示)との間において、液晶に電圧を印加する。液晶に印加される電圧を変化させることにより、階調表示を行うことができる。

【0007】図2は、TFTアレイ基板の概略を示す構成図である。図において、21は表示領域部、22は外周領域部である。23は信号線、24はゲート線、25はショートリングである。TFT基板の製造においては、21表示領域部の外側にショートリングと呼ばれる配線25が形成される。ショートリングは、アクティブ・マトリックス配線における静電破壊を防ぐために、各信号線及びゲート線の終端どうしを、ショートさせた配線である。

【0008】しかし、ショートリング25は、ゲート線24と信号線23とが完成された後に機能する。そのため、特に信号線23が複数の層を有する場合に、信号線23の最上層が付着される前に信号線23とゲート線24との間で短絡を起こしてしまう問題があった。又、特に静電破壊は、表示領域21における最も外側の信号線と、その下のゲート線との間で頻繁に起こることが知られていた。これは、基板搬送時に、基板端をつかんだり、基板端が装置に接触したりするので、静電破壊の原因となる電荷が基板端に蓄積しやすい。そのため、外側の導体間の静電破壊が起き易いと考えられている。

【0009】このような、信号線完成前の静電破壊を防止する手段として、外周領域にダミーの信号線を形成することが行われている。これは、表示領域内の最も外側の信号線のさらに外側に、電気的に浮いた状態で形成された配線である。このダミー配線は信号線と同じ構成を有し、信号線の形成と同時に形成される。このようなダミー信号線を形成することにより、ゲート線との静電破壊による短絡はダミー線との間で起こるので、信号線とゲート線との短絡による欠陥を防ぐことができる。

【0010】しかし、このようにダミー線を形成した場合でも、ダミー線が2本以上のゲート線と短絡を起こすという問題があった。このように、2個所以上で短絡し

た場合は、2本のゲート線が電気的に接続されてしまうので、ゲート線間短絡という欠陥となる。このように、ゲート線間での短絡を防止するために、各ゲート線の間でダミー線を切断しておくことが考えられる。しかし、このようにダミー線を断線させると、切断された各ダミー線の容量が小さくなるため、ダミー線とゲート線の間ではなく、最外側の信号線とゲート線とが静電破壊を起こしてしまうという問題があった。

【0011】

【発明が解決しようとする課題】本発明は、上記のような課題を解決することを目的とするものであり、配線間の短絡を防止することができる、表示装置、その製造方法、及び配線基板を得ることである。本発明の他の目的は、ダミー線と2本以上の他の配線とが短絡した場合も、他の配線間で短絡しないようにすることができる、表示装置、その製造方法、及び配線基板を得ることである。本発明の他の目的は、ダミー配線と他の2本以上の他配線とが短絡した場合も、他の配線間で短絡しないようにすると同時に、ダミー配線での短絡の起き易さを維持することができる、表示装置、その製造方法、及び配線基板を得ることである。

【0012】

【課題を解決するための手段】本発明の第一態様を、表示装置の製造方法として捉えれば、マトリックス状に配置された複数の副画素部から構成される表示領域を有するであって、基板上に、複数の副画素部に電気信号を送る複数の下層配線を形成するステップと、複数の下層配線の上に、絶縁層を形成するステップと、絶縁層の上に、複数の副画素部に電気信号を送る複数の上層配線と、複数の上層配線の外側であって、表示領域の外側の短絡配線とを形成するステップと、短絡配線の全部を削除し、もしくは、一部を削除して短絡配線を電気的に断線するステップと、を有するものである。例えば、液晶ディスプレイにおいては、表示装置とは、2つの基板間に液晶を封入した液晶セル、液晶セルにドライバICが実装されたもの、及び、バックライト等の他の装置が実装された液晶ディスプレイ等の全てを含むものである。尚、短絡配線は、上層配線と同時に形成され、上層配線がエッチングされるときに削除される、ようにすることが可能である。

【0013】好ましくは、短絡配線は複数層を有し、削除するステップは、短絡配線の上層をエッチングするときに、その下層の一部削除して電気的に断線させることが好ましい。また、好ましくは、短絡配線は上層配線と同一の組成を有する。同一の組成を有するとは、同じ材料から形成された層を同一数有することを意味し、その構造が同じことを意味するものではない。あるいは、短絡配線は、上層配線とほぼ同じ、もしくは、それ以上の容量を有することことが好ましい。

【0014】下層配線は、副画素部に形成されたTFT

のゲートに接続されたゲート線であり、上層配線は、TFTのソース／ドレイン電極に接続された信号線であり、短絡配線は、信号線と同一の組成を有し、信号線と同時に形成され、信号線と短絡配線とは、Si下層とAl上層を有し、Si下層は前記Al上層をエッチングする時に断線される、ことが可能である。信号線と短絡配線とは、さらに、前記Si下層とAl上層との間にITO中間層を有し、ITO中間層は、複数の配線に分離して形成され、Si下層は、ITO中間層の分離部から露出した部分で断線されるようにすることも可能である。

【0015】本発明の他の態様を、表示装置の製造方法として捉えれば、マトリックス状に配置された複数の副画素部から構成される表示領域を有する表示装置の製造方法であって、基板上に、複数の副画素部に電気信号を送る複数の下層配線を形成するステップと、複数の下層配線の上に、絶縁層を形成するステップと、絶縁層の上に、複数の副画素部に電気信号を送る複数の上層配線と、短絡配線と、を形成するステップと、短絡配線を全て削除し、もしくは一部削除して電気的に断線するステップと、を有し、短絡配線と下層配線との間の絶縁破壊による短絡は、上層配線と下層配線との間、もしくは、下層配線間よりも起こし易い、ものである。

【0016】本発明の他の態様を表示装置として捉えれば、マトリックス状に配置された複数の副画素部から構成される表示領域を有する表示装置、であって、基板と、基板上に形成され、複数の副画素部に電気信号を送る複数の下層配線と、複数の下層配線の上に形成された、絶縁層と、絶縁層の上に形成され、複数の副画素部に電気信号を送る複数の上層配線と、絶縁層の上に形成され、複数の上層配線の外側であって、表示領域の外側に形成された、短絡配線と、を有し、短絡配線は、形成された後に全部を削除され、もしくは一部を削除されて電気的に断線されている、ものである。

【0017】本発明の他の態様を配線基板として捉えれば、基板上に形成された複数の下層配線と、下層配線の上に形成された絶縁層と、絶縁層の上に形成された複数の上層配線と、絶縁層の上に形成され、下層配線と絶縁層を介して短絡することにより、上層もしくは下層配線間の短絡を抑制する、短絡配線と、を有し、短絡配線は、形成された後に全部を削除され、もしくは一部を削除されて電気的に断線される、ものである。

【0018】本発明の他の態様を表示装置として捉えれば、マトリックス状に配置された複数の副画素部から構成される表示領域を有する、表示装置であって、基板と、基板の上に形成され、複数の副画素部に電気信号を送る複数の下層配線と、複数の下層配線の上に形成された、絶縁層と、絶縁層の上に形成され、複数の副画素部に電気信号を送る複数の上層配線と、絶縁層の上に形成された、短絡配線と、を有し、短絡配線は、下層配線と絶縁層を通って短絡し、短絡配線は、形成された後に電

気的に断線されている、ものである。

【0019】

【発明の実施の形態】実施の形態1. 以下に、本発明の実施形態を、図を用いて説明する。各図は実施の形態を説明するためのものであり、その寸法や形状は、現実の装置、方法を必ずしも正確に反映するものではない。

【0020】本実施形態におけるTFT (Thin Film Transistor) アレイ基板は、上層配線である信号線と、下層配線であるゲート線との間の静電破壊による短絡を防止するために、短絡配線であるダミー信号線を有する。ダミー信号線は、TFTアレイ基板の外周領域に形成される。このダミー信号線は、下層から、シリコン下層、ITO (Indium Tin Oxide) 中間層、そして、アルミニウム (Al) 上層の3層構造を有している。シリコン層は、その形成時には1本の連続配線として形成されるが、Al層がパターン形成されるときにAl層と同時にエッチングされて、各ゲート線の間で電気的に断線される。尚、断線とは、連続して形成された配線部の一部を削除して分離部を形成することをいい、予め分離して形成された配線を含むものではない。

【0021】図3は、本実施の形態における、TFTアレイ基板の概略を示す構成図である。図は、配線パターンが形成された後のTFTアレイ基板である。図において、31はマトリックス状に配置された副画素部から構成される表示領域部、33はTFTのソース電極に信号を送る信号線、34はTFTのゲート電極に信号を送るゲート線である。32は表示領域部31の外側の外周領域部、35はショートリング、そして、36ダミー信号線である。ショートリング35とダミー配線36は、外周領域部32に形成されている。ダミー配線36は、表示領域部31内における信号線の内、最も外側にある信号線の外側に形成されることになる。本形態においては、表示領域部31の両側部の外側に、それぞれ形成されている。表示領域部31内の構成は、従来技術におけるTFTアレイ配線と同様であり、詳細な説明を省略する。尚、カラーLCDにおいては、副画素部毎にRGBのカラーフィルタを有し、各副画素部からの光量を制御することによってカラー表示を行う。RGB3つの副画素部により、一つの画素部を形成する。尚、モノクロのLCDにおいては、各副画素部が画素部に相当する。

【0022】図4は、ショートリングの構成を示す回路図である。各ゲート線と信号線とは、それぞれが、1つのショートリングに接続され、各ショートリングは、コモン配線に接続されている。ショートリングは、2つのTFTから構成されており、2つの端子を有している。一方の端子には、ゲートもしくは信号線が接続され、もう一方の端子はコモン配線に接続される。ゲート線/信号線は、第1のTFTのゲートとソース/ドレンにの一端に接続され、第2のTFTのソース/ドレンの一端に接続されている。

【0023】コモン配線は、第2のTFTのゲートとソース/ドレンの一端に接続され、さらに、第1のTFTのソース/ドレンの一端に接続されている。信号線が完成した後は、信号線とゲート線とはこのショートリングに接続されているために、静電破壊による短絡が抑止される。高電圧がかかるときは、TFTがONになるので低抵抗があり、電圧が低いときはTFTがOFFなので、高抵抗になる。通常の使用は5V程度なので、高抵抗で支障はない。

【0024】ゲート線34はアルミニウムで構成されている。信号線33は、下層から、シリコン層、ITO (Indium Tin Oxide) 層、そしてアルミニウム層で構成されている。シリコン層は、下層のa-Si層と、その上層のn+a-Si層から構成されている。ダミー信号線36は信号線33と同じ組成を有し、信号線33と同時に形成される。図9-Bは、最終的なダミー線36の構造を示す断面図である。ダミー信号線は、シリコン層66、ITO層68、そして、Al層93、94の3層構造を有している。シリコン層66は、a-Si層とn+a-Siオーミック層の2層で形成されている。酸化シリコン層67は、ガラス基板上の全面に付着されている。最終的なダミー線は、ゲート線53の間で、3層全てが分離した状態になっている。

【0025】本形態における、TFTアレイ基板の製造方法について説明する。説明は、ボトムゲート型(逆スタガ型)のTFTを有するTFTアレイ配線について行う。従って、ゲート電極及びゲート線が下層に形成され、その上に絶縁層が堆積される。この絶縁層の上にソース/ドレン電極、及び、信号線が配置される。半導体としてa-Siが使用されている。各配線及び絶縁膜の形成は、材料の堆積、フォトリソグラフィ処理、エッチング処理によって形成される。材料の堆積は、スパッタ法や真空蒸着による物理気相付着、もしくは、プラズマCVD等の化学気相付着によって行われる。フォトリソグラフィ処理は、フォトレジストの付着、マスク・パターンを介した感光、現像によるレジスト・パターンの形成、そして、レジストの剥離の各処理によって行われる。

【0026】エッチング処理は、プラズマ・スパッタリング、RIEスパッタリング等のドライエッチング、もしくは、エッチング液を使用したウェットエッチングによって行われる。これらの処理は、各工程において好適なものが選択される。これらの処理は広く知られた技術であり、詳細な説明を行わない。尚、下記に説明するTFT及び各配線の形成と同時に、外周領域32にショートリング35が形成される。

【0027】以下に、アレイ基板上におけるダミー配線の形成を、TFTの形成と対比して説明する。まず、図5を参照して、ゲート線層の形成について説明する。ガラス基板51上全面に、スパッタ法によって1000Å

～5000Å、好ましくは、2000ÅのA1層を堆積する。次に、フォトレジストをA1層の全面に堆積し、感光、現像処理を行い、フォトレジストのパターンを形成する。このレジストを保護膜として、ウェットエッチングによってA1層をエッチングし、TFTのゲート電極52、及び、ゲート線53を形成する。ゲート線53の線幅は、およそ、10～30μmである。その後、レジストを剥離して、ゲート線層の形成処理が終了する。

【0028】次に、図6を参照して説明する。まず、酸化絶縁体層を形成する。酸化シリコン(SiO_x)膜をプラズマCVDを用いて、基板上の全面に堆積する。TFTにおいては、酸化シリコン層はゲート絶縁層61として機能する。信号線、もしくは、ダミー配線においては、ゲート線53と信号線／ダミー線との間の絶縁体層66として機能する。 SiO_x 膜は、役1500～6000Åの厚さで堆積され、好ましくは、3500Åの厚さを有する。続いて、アモルファス・シリコン層を、プラズマCVDによって200～1000Å、好ましくは、500Å堆積する。

【0029】さらに、エッチング保護膜としての窒化シリコン層(SiN_x)63をプラズマCVDによって堆積する。エッチング保護膜は、下層の酸化膜のエッチングを防止するために堆積される。フォトリソグラフィー処理、及び、ウェットエッチング処理によって窒化物保護膜63をパターン形成する。その後、オーミック層としてのn+a-Si層をプラズマCVDで堆積する。a-Si層とn+a-Si層を同時にフォトリソグラフィー処理、及び、エッチング処理し、a-Si層62とn+a-Si層64のパターンを形成する。a-Si層とn+a-Si層は、信号線及びダミー線における第1の層(Si層)67としても形成される。信号線の線幅は、約5μmである。

【0030】次に、ITO層65、68を、基板全面にスパッタ法によって300～2000Å、好ましくは、400Åの厚さで堆積する。フォトリソグラフィー処理、及び、ドライエッチング処理によって、所定のパターンを形成する(図7)。ITO層は、画素電極71として機能すると同時に、信号線及びダミー線の第2層72、73として形成される。ダミー線においては、各ゲート線53の間において、ITO層が分離されて形成される。もちろん、信号線においては、ITO層は分離されておらず、1本の連続した配線として、形成される。このように、ITO層が分離されている間、下層のSi層67が接続されているので、ダミー配線の容量は、信号線と略同じ大きさとなっている。

【0031】A1層81、82を基板全面に、スパッタ法によって1000～3000Åの厚さで堆積する(図8)。フォトリソグラフィー処理、及び、ウェットエッチング処理によって、A1層をパターン形成する(図9)。A1層は、ソース／ドレイン電極91、92として形成される。又、信号線及びダミー線においては、それ

らの最上層93、94としても形成される。ダミー線においては、A1層が各ゲート配線の間で分離された状態でパターン形成される。A1配線の間隔95は、約10μmである。A1層のウェットエッチング処理において、A1層がエッチングされた後に、ITO層の分離部74を介して露出しているSi層67もエッチングされ、断線される。従って、A1層93、94がパターン形成された後では、ダミー線は、各ゲート線53の間で電気的に断線された状態になっている。

【0032】上記の配線パターンと同時に、外周領域におけるショートリングが形成される。したがって、最上層としてのA1層がパターン形成されて信号線が完成した後は、各信号線とゲート線との間では、ショートリングが機能する。ショートリングが機能はじめた後は、ゲート線と信号線との間での静電破壊による短絡は、ショートリングによって効果的に抑制される。

【0033】本実施形態においては、短絡配線であるダミー信号線が外周領域部に形成されているので、下層配線であるゲート線と上層配線である信号線との間における、静電破壊による短絡を防止することが可能となる。ダミー配線は、特定の工程の後に断線されるので、ダミー信号線が2本以上のゲート線と短絡した場合も、ゲート線間の短絡を起こさないようにすることができる。ダミー配線の断線を各ゲート配線の間で行うことにより、いずれのゲート配線とダミー線が短絡しても、ゲート線間の短絡を防止することができる。尚、ダミー配線は、信号線とほぼ同様の容量、もしくは、それ以上を持つことが好ましい。

【0034】本実施形態においては、信号線が完成されるときにダミー配線が断線される。これは、信号線が完成されると、外周領域におけるショートリングが、各信号線とゲート線との間で機能するため、ショートリングによって、配線間の絶縁破壊による短絡を防止することができるからである。尚、このダミー配線の断線処理は、ディスプレイとしての最終製品が完成する前までに行えばよいので、信号線完成時に限定されるものではない。ショートリングが存在しても、ダミー配線を有することで、さらに短絡防止を確かなものとすることができます。しかし、信号線の最上層のエッチ処理工程において断線することにより、新たに処理工程を追加するところなく、断線することができる。

【0035】尚、ダミー配線は3層に限らず、2層以下もしくは、4層以上を有することも可能である。本実施の形態においては、第2層のITO層を形成しないことも可能である。しかし、信号線とゲート線との間よりも、ダミー線とゲート線との間で絶縁破壊を起き易いようにするためには、ダミー配線が信号線とほぼ同様、もしくは、それ以上の容量を持つことが好ましい。従って、ダミー配線は、信号線と同じ組成を有することが望ましい。

【0036】本実施の形態において、アルミニウム層をスパッタリングでエッチングする場合は、ITOを複数の配線に分割して形成するのではなく、A1のエッチングとともに、ITOとシリコンをエッチングして、ダミー信号線を断線させることも可能である。この場合、ITO層は、シリコン層と同様に、1本の連続した配線として形成する。又、アルミニウム層をウェット・エッチングする場合でも、そのエッチャントがA1と同時にITOをエッチングすることができれば、ITOは分割して形成されないとともよい。アモルファスITOは、A1の通常のエッチャントでエッチングが可能である。尚、ITO層がA1層の後に付着される場合は、ダミー信号線にITO層を形成しなくともよい。これは、A1層が形成された時点で、ダミー配線の十分な容量が確保されるからである。

【0037】本実施の形態においては、ITO層の後に、ダミー線や信号線のA1層が付着される。しかし、ITOが最後に付着される場合も可能である。この場合は、A1とSiをITOと同時にエッチングして、断線させる。もちろん、A1層を複数の配線に分割して形成することを排除するものではない。又、本発明は、スタガ型のTFTに適用されることも可能である。

【0038】尚、トップゲート型のTFTにおいては、絶縁層の上に形成される配線はゲート配線であるので、上層配線は1層構造を有することが多い。上層配線としてのゲート線とダミー信号線がA1層のみで形成される場合は、ダミー信号線は、まず、1本の連続したA1配線として形成される。その後、最終製品が完成する前に断線される。例えば、TFTアレイの電気的検査が行われる直前に断線される。この場合は、断線処理のために、追加の工程が必要とされる。ただし、本発明のダミー線は、上層配線が複数層を有するの場合に特に有効なものである。

【0039】実施の形態2. 他の実施形態として、本発明の短絡配線を、ゲート配線の引き出し線部に適用した様子を説明する。ゲート配線の引き出し線部は、TFTアレイ配線におけるゲート配線が、外周領域においてドライバICに接続される部分の配線を言う。図10は、TFTアレイ基板上の外周領域に形成された、ゲート配線の引き出し部の概略を示す構成図である。図において、101はゲート配線の引き出し線、102はショートリング、103シリコン配線である。ショートリング102は、2つの図4のショートリングを直列接続した構成になっている。

【0040】シリコン配線103は、信号線の形成において説明したように、TFTのa-Si層とオーミック層としてのn+a-Si層で形成される。シリコン配線103は、酸化シリコン層を介して、ゲート引き出し配線部101と交差するように形成されている。シリコン配線の厚さは、ダミー線のシリコン層と同様である。又、シリコン

配線の線幅は、およそ100~200μmである。104はショートリングが接続されているコモン周回線、105はパッド、106はゲート配線部である。ゲート配線106とコモン周回線104は接続されていない。

【0041】ゲート引き出し配線部101は高密度に配線が形成されるために、引き出し配線間での静電絶縁破壊による短絡が起こり易い。引き出し配線間の間隔は約20μmであり、引き出し配線とシリコン配線との間の間隔は、およそ3500Åである。従って、隣接する引き出し配線間で短絡せずに、引き出し配線と上層のシリコン配線が静電破壊による短絡を起こす。短絡配線であるシリコン配線を、絶縁層を介してゲート引き出し線の上層に形成することによって、ゲート線間の短絡を防止することができる。

【0042】シリコン配線は、実施の形態1におけるダミー信号線のシリコン層が断線されるのと同じ工程において全て削除される。シリコン配線を全部削除することによって、シリコン配線が下層の2本以上の引き出し線と短絡した場合も、ゲート配線間の短絡が生じないようになることができる。

【0043】ゲート引き出し線が、下層ゲート線と絶縁層の上の上層信号線とによって形成されることも可能である。この場合、下層配線と上層配線とはスルー・ホールを介して電気的に接続されている。このような場合は、短絡配線は、信号線と同様の組成を有するものとなり、Si下層、ITO中間層、そしてA1上層を有する。又、短絡配線は全て削除されずに、一部が削除されて断線されたものとなる。短絡配線は、各ゲート引き出し配線の間において断線される。分離部の幅は、引き出し線の密度によって変化するが、約10μmである。

【0044】上記2つの実施形態においては、金属層としてA1を用いたが、金属配線層としては、A1の他に、Cr、Mo-Ta、Ta等を使用することができる。又、ゲート絶縁膜や保護膜としては、酸化シリコンや窒化シリコンを適宜に使用することが可能である。あるいは、スパッタ法によって堆積されたTa₂O₅を、絶縁膜として利用することも可能である。本形態においては、半導体としてa-Siを使用したが、ポリシリコンを利用して、TFTや配線を形成することも、もちろん可能である。

【0045】本発明の短絡配線は、アクティブ素子を有するアレイ配線に限らず、単純マトリックス・タイプ等の、アクティブ素子を有しない装置にも適用可能である。又、アクティブ素子としてTFTを例として説明したが、本発明のダミー配線を、MIM等の他のアクティブ素子を有するアレイ配線に適用することもできる。本発明は、液晶表示装置に限らず、例えば、有機エレクトロ・ルミネッセンス等の、他の表示装置にも適用可能である。

50 【図面の簡単な説明】

【図1】 従来の技術における、副画素部を示す概略構成図である。

【図2】 従来の技術における、TFTアレイ基板を示す概略構成図である。

【図3】 実施の形態1における、TFTアレイ基板を示す概略構成図である。

【図4】 実施の形態1における、ショートとリングを示す概略回路図である。

【図5】 実施の形態1における、TFTアレイ基板配線の形成方法を示す概略構成図である。

【図6】 実施の形態1における、TFTアレイ基板配線の形成方法を示す概略構成図である。

【図7】 実施の形態1における、TFTアレイ基板配線の形成方法を示す概略構成図である。

【図8】 実施の形態1における、TFTアレイ基板配線の形成方法を示す概略構成図である。

【図9】 実施の形態1における、TFTアレイ基板配線の形成方法を示す概略構成図である。

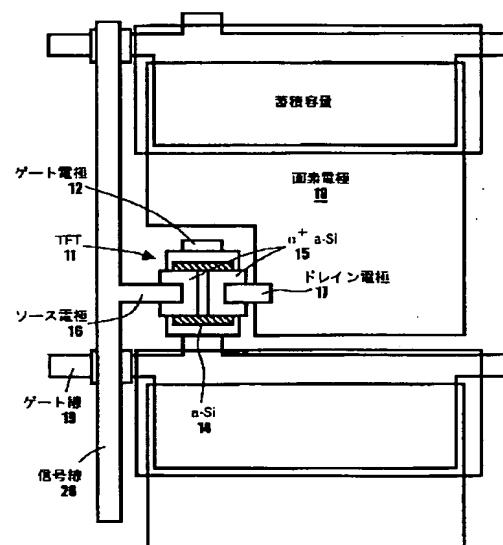
* 【図10】 実施の形態2における、ゲート引き出し配線部を示す概略構成図である。

【符号の説明】

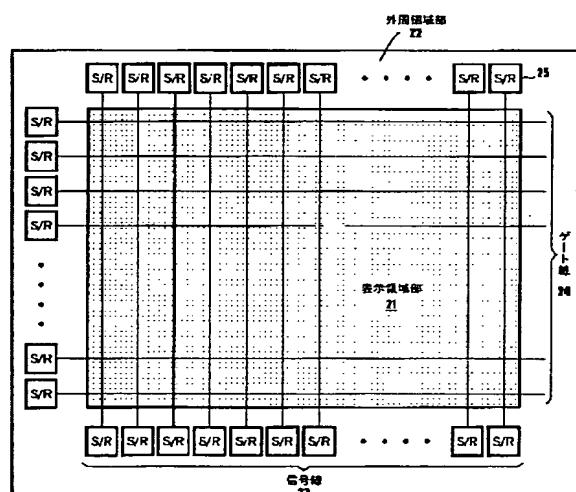
11 TFT、12 ゲート電極、13 ゲート絶縁層、14 アモルファス・シリコン (a-Si) 層、15 オームイック層、16 ソース電極、17 ドレイン電極、18 画素電極、19 ゲート線、21 表示領域部、22 外周領域部、23 信号線、24 ゲート線、25 ショートリング、31 表示領域部、33 信号線、34 ゲート線、32 外周領域部、35 ショートリング、36 ダミー信号線、53 ゲート線、66 シリコン層、67 酸化シリコン層、68 ITO層、71 画素電極、72、73 第2層、81、82 Al層、91、92 ソース／ドレイン電極、93、94 最上層、101 引き出し線、102 ショートリング、103 シリコン配線、104 コモン周回線、105 パッド、106 ゲート配線部

*

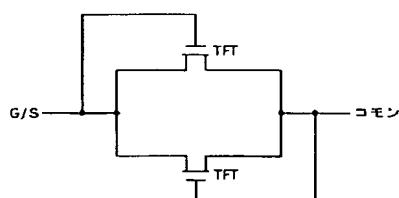
【図1】



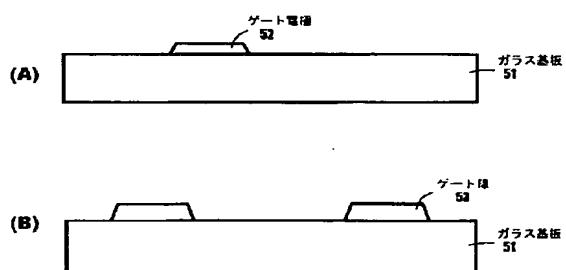
【図2】



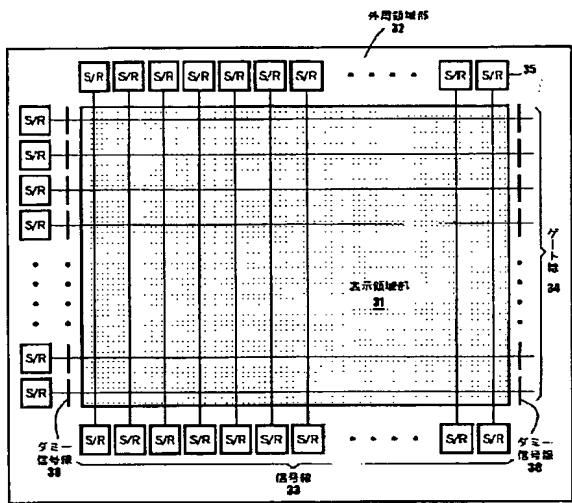
【図4】



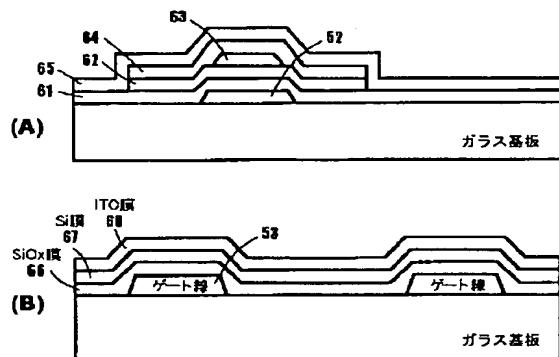
【図5】



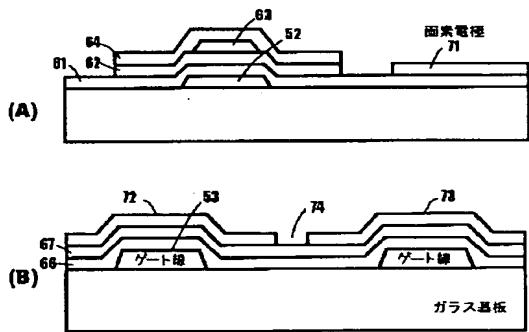
【図3】



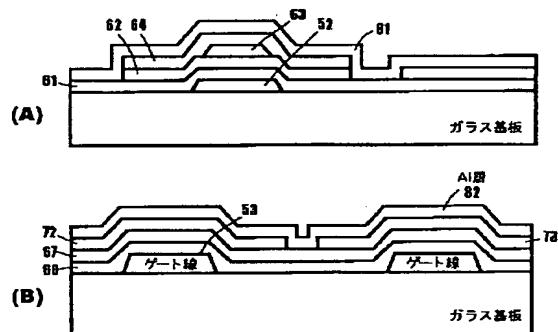
【図6】



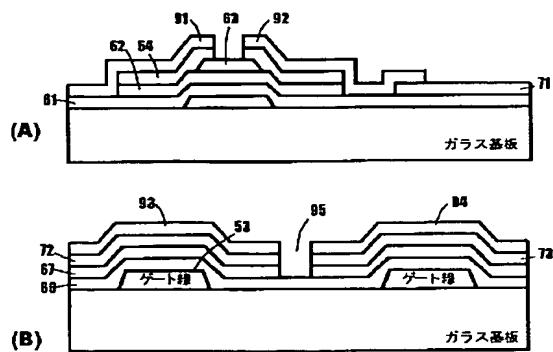
【図7】



【図8】

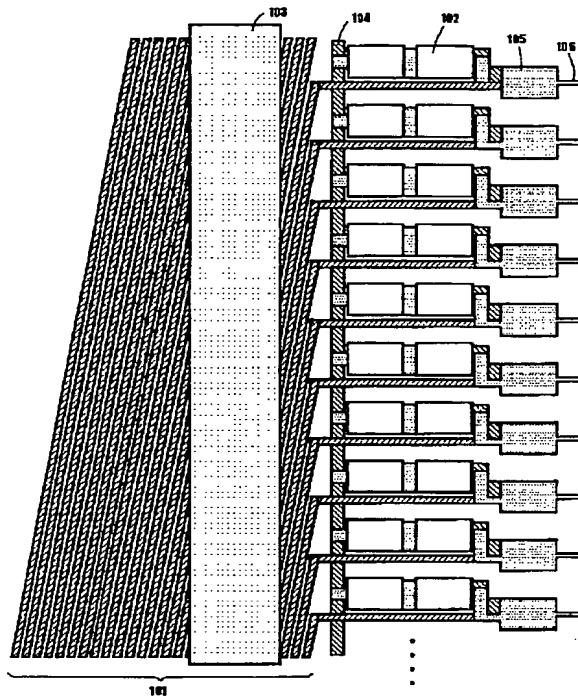


【図9】



Best Available Copy

【図10】



フロントページの続き

(51)Int.Cl.⁷

H 01 L 29/786

識別記号

F I

H 01 L 29/78

テーマコード(参考)

6 1 2 C

6 2 3 A

(72)発明者 飯寄 英保

神奈川県大和市下鶴間1623番地14 日本ア
イ・ピー・エム株式会社 大和事業所内

F ターム(参考) 2H092 JA25 JA26 JA40 JA44 JA47
 JB24 JB33 JB56 JB64 JB73
 KA05 MA05 MA08 MA13 MA18
 MA48 NA13 NA14 NA16
 5C094 AA42 AA43 BA03 BA43 CA19
 EA01 EA04 EA07 EB02 GB10
 5F110 AA22 BB01 CC07 EE03 EE04
 EE06 EE44 FF02 FF03 FF30
 GG02 GG13 GG15 GG25 GG45
 HK03 HK09 HK16 HK21 HK33
 HK35 HM19 NN12 NN16 NN24
 NN35 NN73 QQ01
 5G435 AA17 BB12 CC09 CC12 GG12
 KK05 KK09 KK10

Best Available Copy